

《兆瓦级算力系统 AI整机柜DC 800V架构供电研究报告》-阶段性成果汇报

汇报人：程冰



Global Computing Consortium
全球计算联盟

社区研究报告

兆瓦级算力系统 AI 整机柜 DC 800V 供电架构研究报告

- 2026年3月18日，报告启动
 - 2026年7月3日社区内发布，版本V0.5
 - 参编单位：21家
 - 编委会作者和单位：32人，17家
- 

报告目录

- 八大章节，83页

目录

一、摘要	1
二、800V AI 机柜供电链路技术基础	3
三、800V AI 机柜供电链路技术现状分析	8
四、国内外生态格局	25
五、800V AI 机柜供电链路迭代路线	31
六、800V AI 机柜供电链路核心技术挑战	49
七、技术挑战应对策略与建议	65
八、总结与展望	78

内容解读

兆瓦级算力系统 AI 整机柜 DC 800V 供电架构研究报告

- 关键词：兆瓦级+整机柜+800V供电架构
- 边界：800V进入整机柜->芯片级供电
- 路线：800V->54V集中供电和800V集中供电
- 板块：系统级供电+服务器板级供电+连接器+铜排+安规保护+EDPp
- 模块：当前现状+迭代路线+技术挑战+应对策略

第一章和第二章内容解读

研究背景

- AI算力飞速发展
- 算力密度极致追求
- 机柜功耗急剧攀升
- 传统架构设计约束

研究方向

- 传统架构与+/-400V和800V的对比分析
- 800V供电架构核心优势和行业的主流共识

研究范围

- ◆ 兆瓦级+800V供电架构+整机柜
- ◆ 系统级供电+板级供电+铜排&连接器+EDPp+安全防护
- ◆ 技术现状+迭代路线+核心挑战+策略建议

机柜-芯片全链路供电体系的重构

第三章~第七章内容解读：系统级供电

技术现状	迭代路线	核心挑战	策略建议
• 数据中心供电架构迭代路线		• 800V供电架构两步走路线	
• 800V->54V柜内集中供电方案			
• 两大标准平台（19&21英寸）电源和电源框的设计约束 • 两大成熟拓扑架构：单相全桥LLC和三相交错LLC • 优缺点对比：电流纹波、控制方案等		• 当前半导体器件标准化方案：1200V SiC（原边）和80V Si Mos（副边） • 核心挑战 • 未来技术发展趋势（短期和中长期）	

第三章~第七章内容解读：四大板块

技术现状	迭代路线	核心挑战	策略建议
板级供电	连接器+铜排	EDPp	安全防护
• 行业分析 • 三条降压路线标准拓扑 • 板级供电6大挑战与应对策略	• 技术现状 • 5大技术挑战、失效后果和标准化测试建议 • 短期和中长期的具体做法	• EDPp定义和来源 • EDPp各频段的危害分析 • EDPp抑制的组合方案 • 初步建议	• 安全防护要求 • 安规挑战：系统级+板级+连接器+铜排 • 标准+接地+工艺+器件+联动保护+测试验证平台

第八章内容：总结与展望

01 / 现状总结：行业共识与清晰路线

行业共识：算力爆发下的必然选择

面对AI算力呈指数级增长，传统供电架构在效率与扩容性上已显瓶颈。800V高压供电架构成为全链路供电架构重构的核心方向，现已形成行业内的广泛共识与发展基调。

演进路线：从机房到机柜的深度升级

技术迭代路径清晰明确，从机房侧高压直流迭代延伸至机柜级供电架构升级，最终实现末端负载的近端高效供电和性能优化。

02 / 未来展望：四大技术演进核心方向

功率密度极致跃升

优化800V转54V集中供电拓扑，结合宽禁带半导体器件的迭代+高频小型化设计+大电流汇流器件能力提升，大幅提升单位体积供电能力。

板级供电布局优化

推动HVIBC低压输出方案的技术迭代，优化板级布局，推进与芯片距离，降低线路损耗，提升芯片供电方案的效率。

芯片供电垂直协同

解决芯片供电高功率、低损耗、快速响应需求与空间、散热和封装上的垂直协同。

多层级安全体系加固

统一安规标准，构建“监测-预警-保护”闭环体系，强化绝缘监测、灭弧策略、故障快速切断保护机制，确保高压供电系统在复杂场景下的绝对可靠。

下一步规划

- 以单周/双周为时间单位，By章节进行内容完善；
- 参与单位：所有项目组的合作会员伙伴；
- 目标在年底前，完成final版本迭代和发布。

Thank You !



Global Computing Consortium
全球计算联盟